

PAT-NO: JP02001274367A

DOCUMENT-IDENTIFIER: **JP 2001274367 A**

TITLE: NON-VOLATILE SEMICONDUCTOR MEMORY
DEVICE AND PRODUCING
METHOD THEREFOR

PUBN-DATE: October 5, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
HAGIWARA, HIROYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP2000089287

APPL-DATE: March 28, 2000

INT-CL (IPC): H01L027/115, H01L021/8247 , H01L029/788 ,
H01L029/792

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a highly reliable non-volatile semiconductor memory device capable of improving the inversion pressure

resistance of a field transistor and the pressure resistance of an insulating film between a floating gate and a control gate, by protecting an element isolation region or producing method for non-volatile semiconductor memory device capable of improving throughput by protecting element isolation without using a lithography process.

SOLUTION: After an element isolation region 21 is formed, an insulating film 28 such as silicon-nitride film and a silicon-oxide film 43 are formed all over the surface and the silicon-oxide film 43 is ground while using the insulating film 28 resistant to hydrofluoric acid as a stopper. Continuously, the insulating film 28 resistant to hydrofluoric acid on a polycrystal silicon film 30 is removed. Next, by removing the silicon-oxide film 43 on the insulating film 28 resistant to hydrofluoric acid by wet etching, the insulating film 28 is formed by self-aligning all over the upper surface of the element insulation region 21.

COPYRIGHT: (C)2001,JPO

(51) Int.Cl. ⁷	識別記号	F I	テロコード [*] (参考)	
H 0 1 L	27/115	H 0 1 L	27/10	4 3 4
	21/8247		29/78	3 7 1
	29/788			5 F 0 8 3
	29/792			5 F 1 0 1

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2000-89287(P2000-89287)

(22) 出願日 平成12年3月28日(2000.3.28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 萩原 裕之

三重県四日市市山之一色町800番地 株式

会社東芝四日市工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

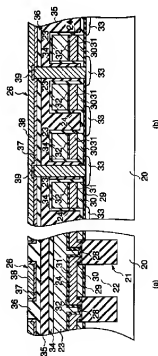
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 素子分離領域を保護することにより、フィールドトランジスタの反転耐圧及び浮遊ゲート・制御ゲート間絶縁膜の耐圧を向上出来る、高信頼性の不揮発性半導体記憶装置、またはソグرافي工程を用いず素子分離を保護することで、スループットを向上できる不揮発性半導体記憶装置の製造方法を提供すること。

【解決手段】 素子分離領域 21 を形成した後、全面にシリコン窒化膜等の耐非酸性絶縁膜 28 及びシリコン酸化膜 43 を形成し、上記シリコン酸化膜 43 を、耐非酸性絶縁膜 28 をストッパーに用いて研磨する。引き続き、多結晶シリコン膜 30 上の耐非酸性絶縁膜 28 を除去する。次にウェットエッチングにより耐非酸性絶縁膜 28 上のシリコン酸化膜 43 を除去することで素子分離領域 21 の上面全体に耐非酸性絶縁膜 28 をセルフアラインで形成することの特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板に設けられた素子分離領域と、
前記素子分離領域の上面の全面に設けられた耐弗酸性絶縁膜と、
隣接する前記素子分離領域間の活性領域上に設けられた第1のゲート絶縁膜と、
前記第1のゲート絶縁膜上に設けられた第1の導電膜及び該第1の導電膜上に設けられた第2の導電膜とを備える第1のゲート電極と、
前記第1のゲート電極上に設けられた第2のゲート絶縁膜と、
前記第2のゲート絶縁膜上に設けられ、前記第1のゲート電極と少なくとも一部がオーバーラップする第2のゲート電極と、
前記第1のゲート絶縁膜、前記第1のゲート電極、前記第2のゲート絶縁膜、及び前記第2のゲート電極が積層されて形成された積層ゲート構造を被覆する層間絶縁膜とを具備し、
前記素子分離領域の上面は、前記第1の導電膜の上面より低いことを特徴とする不揮発性半導体記憶装置。
【請求項2】 半導体基板上に第1のゲート絶縁膜を形成する工程と、
前記第1のゲート絶縁膜上に第1のゲート電極の一部を構成する第1の導電膜を形成する工程と、
前記第1の導電膜、前記第1のゲート絶縁膜及び前記半導体基板をエッチングしてトレンチを形成し、該トレンチ内に絶縁膜を埋め込むことにより素子分離領域を形成する工程と、
前記素子分離領域の上面の全面に、該素子分離領域に対してセルフラインに耐弗酸性絶縁膜を形成する工程と、
前記第1の導電膜及び前記耐弗酸性絶縁膜上に第2の導電膜を形成する工程と、
前記耐弗酸性絶縁膜上の少なくとも一部の前記第2の導電膜を、該耐弗酸性絶縁膜に達するまで除去して第1のゲート電極を形成する工程と、
前記第1のゲート電極上に第2のゲート絶縁膜を形成する工程と、
前記第2のゲート絶縁膜上に、前記第1のゲート電極と少なくとも一部がオーバーラップする第2のゲート電極を形成する工程と、
前記第1のゲート絶縁膜、前記第1のゲート電極、前記第2のゲート絶縁膜、及び前記第2のゲート電極が積層されて形成された積層ゲート構造を被覆するように層間絶縁膜を形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。
【請求項3】 前記素子分離領域の上面の全面に、該素子分離領域に対してセルフラインに耐弗酸性絶縁膜を形成する工程は、

前記素子分離領域の表面を、少なくとも前記第1の導電膜の表面より低くなるようにエッチングする工程と、
前記素子分離領域及び前記第1の導電膜上に、前記耐弗酸性絶縁膜を形成する工程と、
前記耐弗酸性絶縁膜上に第1のマスク材を形成する工程と、
前記第1のマスク材を、前記第1の導電膜上の前記耐弗酸性絶縁膜をストッパーにして除去する工程と、
前記第1の導電膜上の前記耐弗酸性絶縁膜を除去する工程と、
前記耐弗酸性絶縁膜上の前記第1のマスク材を除去する工程とを備えることを特徴とする請求項2記載の不揮発性半導体記憶装置の製造方法。
【請求項4】 前記素子分離領域の上面の全面に、該素子分離領域に対してセルフラインに耐弗酸性絶縁膜を形成する工程は、
前記素子分離領域の表面を、少なくとも前記第1の導電膜の表面より低くなるようにエッチングする工程と、
前記素子分離領域及び前記第1の導電膜上に、前記耐弗酸性絶縁膜を形成する工程と、
前記耐弗酸性絶縁膜上に第1のマスク材を形成する工程と、
前記第1のマスク材を、前記第1の導電膜をストッパーにして除去する工程と、
前記耐弗酸性絶縁膜上の前記第1のマスク材を除去する工程とを備えることを特徴とする請求項2記載の不揮発性半導体記憶装置の製造方法。
【請求項5】 前記第2の導電膜を形成する工程の前に、前記第1の導電膜の表面を、弗酸を含有した処理液により洗浄する工程を更に備えることを特徴とする請求項2乃至4いずれか1項記載の不揮発性半導体記憶装置の製造方法。
【請求項6】 前記第2のゲート絶縁膜を形成する工程の前に、前記第2の導電膜の表面を、弗酸を含有した処理液により洗浄する工程を更に備えることを特徴とする請求項2乃至5いずれか1項記載の不揮発性半導体記憶装置の製造方法。
【請求項7】 前記耐弗酸性絶縁膜上の少なくとも一部の前記第2の導電膜を、該耐弗酸性絶縁膜上に達するまで除去して第1のゲート電極を形成する工程は、
前記第2の導電膜上に第2のマスク材を形成する工程と、
前記第2のマスク材をリソグラフィ技術とエッチングによりパターンニングする工程と、
前記第2のマスク材及び前記第2の導電膜上に第3のマスク材を形成する工程と、
前記第3のマスク材をエッチングして、前記第2のマスク材の側壁にのみ残存させる工程と、
前記第2、第3のマスク材を用いて前記第2の導電膜をエッチングして、前記耐弗酸性絶縁膜上の該第2の導電

膜の少なくとも一部を該耐非酸性絶縁膜に達するまで除去する工程と、
 非酸を含有した処理液を用いて、前記第2、第3のマスク材を除去、及び前記第2の導電膜の表面を洗浄する工程とを備えることを特徴とする請求項2乃至6いずれか1項記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置及びその製造方法に関するもので、特に2層ゲート構造のMOSTランジスタをメモリセルランジスタとして用いるものに係る。

【0002】

【従来の技術】近年の半導体装置の製造技術の向上により、特に半導体記憶装置の微細化が急速に進行している。それに伴い、個々の素子を電気的に分離する素子分離技術に関する研究も盛んに進められている。

【0003】従来の不揮発性半導体記憶装置について図28を用いて説明する。図28は、NOR型フラッシュEPRM (Electrically Erasable and Programmable Read Only Memory) のメモリセルアレイ領域における、ワード線方向に沿った一部断面図である。

【0004】図示するように、シリコン基板100には素子分離領域110が形成され、この隣接する素子分離領域110間の活性領域120上にゲート絶縁膜130が形成されている。そして、ゲート絶縁膜130上に浮遊ゲート140が形成されている。更に、全面に浮遊ゲート・制御ゲート間絶縁膜150が形成され、この浮遊ゲート・制御ゲート間絶縁膜150上に、前記浮遊ゲート140とオーバーラップするようにして制御ゲート160が形成されている。また、シリコン基板100中には図示しないが選択的に不純物拡散層が形成されることでメモリセルランジスタが構成されている。

【0005】上記構造のNOR型フラッシュEPRMにおいて、データの記憶はメモリセルランジスタの浮遊ゲート160に電荷を注入することにより行う。この電荷の注入は、メモリセルランジスタのチャネル領域でホットキャリアを発生させて浮遊ゲート160へ注入する方法、若しくは浮遊ゲート160とシリコン基板100との間のゲート絶縁膜130に高電界を印加し、トンネル効果により電荷を注入する方法により行われる。

【0006】いずれの方法においても、制御ゲート160には高電界を印加しなければならない。この状態で安定した素子分離を行うには、制御ゲート160、浮遊ゲート・制御ゲート間絶縁膜150、半導体基板100のMOST構造で形成されるフィールドランジスタの反転耐圧を十分に確保する必要がある。特に、近年の半導体装置の微細化の進行により、素子分離領域110の深さを浅くする要請があるため、この反転耐圧の確保は益々

重要な技術となっている。

【0007】また、データの書き込み及び消去時には、浮遊ゲート・制御ゲート間絶縁膜150には、5MV/cm程度の高電界が印加される。従って、この浮遊ゲート・制御ゲート間絶縁膜150の高耐圧化も求められている。

【0008】浮遊ゲート140は一般的に多結晶シリコン膜により形成される。前記浮遊ゲート・制御ゲート間絶縁膜150の耐圧は、下地の浮遊ゲート140である多結晶シリコン膜の清浄度に大きく影響を受ける。そのため、従来のNOR型フラッシュEPRMの製造方法においては、浮遊ゲート・制御ゲート間絶縁膜150の耐圧を向上させるために、多結晶シリコン膜の洗浄を行っており、この洗浄処理は自然酸化膜除去効果のある処理液（例えばHF、希釈HF、NH₄F、または希釈NH₄F等）を用いて行われる。

【0009】しかし、このような洗浄処理を行うと、素子分離領域110を形成しているシリコン酸化膜がエッチングされるという問題がある。この問題について図29を用いて説明する。図29はNOR型フラッシュEPRMのワード線方向に沿った断面図である。図示するように、素子分離領域110の一部が侵食されて薄くなっている様子が見られる。このため、フィールドランジスタの反転耐圧が低下すると共に、浮遊ゲート140においては、浮遊ゲート上層170に加えて下層180にも角部が形成されるため、電界集中箇所が増加し、浮遊ゲート・制御ゲート間絶縁膜150の耐圧も劣化するという問題があった。

【0010】上記問題を回避するために、図30に示す構造が提案されている。図30はNOR型フラッシュEPRMのワード線方向に沿った断面図である。図示するように、素子分離領域110上に耐非酸性絶縁膜（シリコン窒化膜等）190を設けている。そのため、浮遊ゲート140の洗浄処理において、素子分離領域110を耐非酸性絶縁膜により保護できる。

【0011】しかし、上記構造を形成するには、耐非酸性絶縁膜190を素子分離領域110上にのみ残存させるためのリソグラフィ工程が必要となる。そのため、製品のスループットが低下するという問題がある。更に、図31に示すように、前記リソグラフィ工程において、耐非酸性絶縁膜190のあわせずれが生じて耐非酸性絶縁膜190が浮遊ゲート140の分離領域からはずれると、やはりその後の洗浄処理において、素子分離領域110が侵食されるという問題があった。特に、微細化の進行と共に素子分離領域110の幅が狭くなると、上記リソグラフィ工程で許容されるあわせずれ量も厳しくなり、実際の半導体記憶装置の製造プロセスにおいては現実的ではない。

【0012】

【発明が解決しようとする課題】上記従来の半導体記憶

装置及びその製造方法は、浮遊ゲート・制御ゲート間絶縁膜の耐圧を向上させるために、浮遊ゲート・制御ゲート間絶縁膜の形成の地下となる浮遊ゲートの洗浄処理を行っていた。しかし、この洗浄工程は、酸化膜除去効果のある特に弗酸系の処理液で行われるため、浮遊ゲートの分離領域下の素子分離領域が侵食される場合があった。そのため、フィールドトランジスタの反転耐圧が低下すると共に、浮遊ゲートにおいては電界集中箇所が増加し、浮遊ゲート・制御ゲート間絶縁膜の耐圧も劣化するという問題があった。

【0013】また、上記問題点を解決するために提案された、素子分離領域上に耐弗酸性絶縁膜を設ける方法では、この耐弗酸性絶縁膜を加工するためのリソグラフィ工程を必要とし、半導体記憶装置のスループットが低下するという問題があった。更に、微細化が進むにつれてリソグラフィ工程で許容されるあわせずれ量が低下し、耐弗酸性絶縁膜が浮遊ゲートの分離領域からはずれると、やはりその後の洗浄処理において、素子分離領域が侵食されるという問題があった。

【0014】この発明は、上記事情に鑑みてなされたもので、その第1の目的は、素子分離領域を保護することにより、フィールドトランジスタの反転耐圧及び浮遊ゲート・制御ゲート間絶縁膜の耐圧を向上出来る、高信頼性の不揮発性半導体記憶装置を提供することにある。

【0015】また、この発明の第2の目的は、リソグラフィ工程を用いずに素子分離を保護することで、スループットを向上できる不揮発性半導体記憶装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】この発明の請求項1に記載した不揮発性半導体記憶装置は、半導体基板上に設けられた素子分離領域と、前記素子分離領域の上面の全面に設けられた耐弗酸性絶縁膜と、隣接する前記素子分離領域間の活性領域上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1の導電膜及び該第1の導電膜上に設けられた第2の導電膜とを備える第1のゲート電極と、前記第1のゲート電極上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられ、前記第1のゲート電極と少なくとも一部がオーバーラップする第2のゲート電極と、前記第1のゲート絶縁膜、前記第1のゲート電極、前記第2のゲート絶縁膜、及び前記第2のゲート電極が積層されて形成された積層ゲート構造を被覆する層間絶縁膜とを具備し、前記素子分離領域の上面は、前記第1の導電膜の上面より低いことを特徴としている。

【0017】この発明の請求項2に記載した不揮発性半導体記憶装置の製造方法は、半導体基板上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜上に第1のゲート電極の一部を構成する第1の導電膜を形成する工程と、前記第1の導電膜、前記第1のゲート絶

縁膜及び前記半導体基板をエッチングしてトレンチを形成し、該トレンチ内に絶縁膜を埋め込むことにより素子分離領域を形成する工程と、前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程と、前記第1の導電膜及び前記耐弗酸性絶縁膜上に第2の導電膜を形成する工程と、前記耐弗酸性絶縁膜上の少なくとも一部の前記第2の導電膜を、該耐弗酸性絶縁膜に達するまで除去して第1のゲート電極を形成する工程と、前記第1のゲート電極上に第2のゲート絶縁膜を形成する工程と、前記第2のゲート絶縁膜上に、前記第1のゲート電極と少なくとも一部がオーバーラップする第2のゲート電極を形成する工程と、前記第1のゲート絶縁膜、前記第1のゲート電極、前記第2のゲート絶縁膜、及び前記第2のゲート電極が積層されて形成された積層ゲート構造を被覆するように層間絶縁膜を形成する工程とを具備することを特徴としている。

【0018】また、請求項3に記載したように、請求項2記載の不揮発性半導体記憶装置の製造方法において、前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程は、前記素子分離領域の表面を、少なくとも前記第1の導電膜の表面より低くなるようにエッチングする工程と、前記素子分離領域及び前記第1の導電膜上に、前記耐弗酸性絶縁膜を形成する工程と、前記耐弗酸性絶縁膜上に第1のマスク材を形成する工程と、前記第1のマスク材を、前記第1の導電膜上の前記耐弗酸性絶縁膜をストッパーにして除去する工程と、前記第1の導電膜上の前記耐弗酸性絶縁膜を除去する工程と、前記耐弗酸性絶縁膜上の前記第1のマスク材を除去する工程とを備えることを特徴としている。

【0019】更に、請求項4に記載したように、請求項2記載の不揮発性半導体記憶装置の製造方法において、前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程は、前記素子分離領域の表面を、少なくとも前記第1の導電膜の表面より低くなるようにエッチングする工程と、前記素子分離領域及び前記第1の導電膜上に、前記耐弗酸性絶縁膜を形成する工程と、前記耐弗酸性絶縁膜上に第1のマスク材を形成する工程と、前記第1のマスク材を、前記第1の導電膜をストッパーにして除去する工程と、前記耐弗酸性絶縁膜上の前記第1のマスク材を除去する工程とを備えることを特徴としている。

【0020】請求項5に記載したように、請求項2乃至4いずれか1項記載の不揮発性半導体記憶装置の製造方法において、前記第2の導電膜を形成する工程の前に、前記第1の導電膜の表面を、弗酸を含有した処理液により洗浄する工程を更に備えることを特徴としている。

【0021】請求項6に記載したように、請求項2乃至5いずれか1項記載の不揮発性半導体記憶装置の製造方

法において、前記第2のゲート絶縁膜を形成する工程の前に、前記第2の導電膜の表面を、弗酸を含有した処理液により洗浄する工程を更に備えることを特徴としている。

【0022】請求項7に記載したように、請求項2乃至6のいずれか1項記載の不揮発性半導体記憶装置の製造方法において、前記耐弗酸性絶縁膜上の少なくとも一部の前記第2の導電膜を、該耐弗酸性絶縁膜上に達するまで除去して第1のゲート電極を形成する工程は、前記第2の導電膜上に第2のマスク材を形成する工程と、前記第2のマスク材をリソグラフィ技術とエッチングによりパターンニングする工程と、前記第2のマスク材及び前記第2の導電膜上に第3のマスク材を形成する工程と、前記第3のマスク材をエッチングして、前記第2のマスク材の側壁にのみ残存させる工程と、前記第2、第3のマスク材を用いて前記第2の導電膜をエッチングして、前記耐弗酸性絶縁膜上の該第2の導電膜の少なくとも一部を該耐弗酸性絶縁膜に達するまで除去する工程と、弗酸を含有した処理液を用いて、前記第2、第3のマスク材を除去、及び前記第2の導電膜の表面を洗浄する工程とを備えることを特徴としている。

【0023】請求項1、2のいずれかの構造及び方法によれば、素子分離領域の上面の全面に、耐弗酸性絶縁膜を形成している。この耐弗酸性絶縁膜は素子分離領域の保護膜として機能するため、その後の弗酸系の処理液による洗浄工程において、素子分離領域がエッチングされるのを防止できる。そのため、素子分離領域はフィールドトランジスタに対して、高い反転耐圧を維持できる。また、素子分離領域がエッチングされないために、第1のゲート電極に余計な角部が発生しないため、従来のような電界集中箇所の増加も回避でき、第2のゲート絶縁膜の耐圧も維持できる。更に、素子分離領域が耐弗酸性絶縁膜により保護されていることから、第1の導電膜及び第2の導電膜の表面を弗酸系の処理液により十分に洗浄できるため、第2のゲート絶縁膜の耐圧を更に向上できる。また、この耐弗酸性絶縁膜の形成はセルフアラインにより形成できることから、耐弗酸性絶縁膜上の少なくとも一部の第2の導電膜を除去して第1のゲート電極を形成する工程において、エッチングのマージンを大きくすることが出来るので、スループットを向上できる。

【0024】請求項3または4のような方法により、耐弗酸性絶縁膜を素子分離領域に対してセルフアラインに形成出来る。

【0025】請求項5または6のように、第1の導電膜及び第2の導電膜の表面を弗酸系の処理液により洗浄するごと、第2の絶縁膜の耐圧を向上できる。

【0026】請求項7の工程は、リソグラフィ技術とエッチングによりパターンニングした第2のマスク材上に第3のマスク材を形成し、異方性のエッチングにより第3のマスク材を第2のマスク材の側壁にのみ残存させるこ

とで、リソグラフィ技術の加工限界以上に微細なマスクパターンを形成できる。また、マスク材を除去するためには弗酸系の処理液を用いることで、同時に第2の導電膜の表面の洗浄を行うことが出来る。

【0027】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全国にわたり、共通する部分には共通する参照符号を付す。

【0028】この発明の第1の実施形態に係る不揮発性半導体記憶装置及びその製造方法について、NOR型フラッシュEEPROMを例に挙げて説明する。

【0029】図1はNOR型フラッシュEEPROMの回路図である。図示するように、メモリアルレイ10には複数の不揮発性メモリセル(MC:Memory Cell)がマトリクス状に配置されている。各々の不揮発性メモリセルMCは、1つのビット線(BL:Bit Line)と1つのソース線(SL:Source Line)に接続されている。複数の不揮発性メモリセルMCのゲートは、それぞれ行毎に異なるワード線(WL:Word Line)に接続されており、このワード線WL1~WL8はそれぞれロウデコード11に接続されている。ロウデコード11は複数のワード線WL1~WL8のいずれか1つを選択的に駆動する。

【0030】ビット線BL1~BL4はカラムセレクト12に接続されており、このカラムセレクト12は、電流経路の一端がビット線BL1~BL4にそれぞれ接続された複数のトランジスタ13~1~13~4を備えている。このトランジスタ13~1~13~4のゲートは、それぞれ異なるカラム選択線(CSL:Column Select Line)に接続されており、このカラム選択線CSL1~CSL4はそれぞれカラムデコード14に接続されている。カラムデコード14は複数のカラム選択線CSL1~CSL4のいずれか1つを選択的に駆動する。トランジスタ13~1~13~4のいずれか1つが選択的に駆動されことにより、複数のビット線BL1~BL4のいずれか1つが読み出し/書き込みノード15に電気的に接続される。この読み出し/書き込みノード15は、それぞれ図示せぬ読み出し回路及び書き込み回路に接続されている。これにより、データの読み出し/書き込みが、カラムデコード14及びロウデコード11により選択された不揮発性メモリセルMCに対して行われる。

【0031】また、不揮発性メモリセルMCは、ワード線WLが延びる方向に沿って設けられたソース線SLに接続されている。このソース線SLは、ビット線BLが延びる方向に沿って設けられたグローバルソース線(GSL:Global Source Line)に接続され、グローバルソース線GSLはソースデコード16に接続されている。ソースデコード16は、グローバルソース線GSLを介してソース線SLにより不揮発性メモリセルMCのワー

ス電位を供給する。

【0032】図2は、図1における一点鎖線で囲んだ領域17の平面図である。図示するように、シリコン基板20には素子分離領域(STI: Shallow Trench Isolation) 21が形成されており、この素子分離領域21間が素子を形成する活性領域(AA: Active Area) 22となっている。活性領域22には浮遊ゲート(FG: Floating Gate) 24が選択的に設けられ、この浮遊ゲート24を覆い、かつ活性領域22と直交するように制御ゲート(CG: Control Gate) 23が延設されている。そして、各活性領域22のシリコン基板20中には、浮遊ゲート24と制御ゲート23を挟むように、ソース、ドレイン領域S、Dとなる不純物拡散層が設けられることでメモリセルトランジスタMCが形成されている。更に、この不揮発性メモリセルMCのドレインDにはコンタクトホール25が設けられ、このコンタクトホール25を介してビット線26に接続されている。また、不揮発性メモリセルMCのソースSは、素子分離領域21を介して隣接する不揮発性メモリセルMCのソースSと、例えば素子分離領域21の底部に設けられた不純物拡散層(ソース線SL)により共通に接続されている。

【0033】次に、図3(a)、(b)に、図2における一点鎖線で囲んだ領域27の、A-A'線、B-B'線方向に沿った断面図をそれぞれ示す。図示するように、半導体基板20には素子分離領域(STI) 21が形成され、この素子分離領域21の上面を覆うようにして、耐腐蝕性絶縁膜28が全面に形成されている。そして、隣接する素子分離領域21間の活性領域22上にはゲート絶縁膜29(第1のゲート絶縁膜)が形成され、このゲート絶縁膜29上には多結晶シリコン膜30(第1の導電膜)、31(第2の導電膜)からなる浮遊ゲート24(第1のゲート電極)、浮遊ゲート・制御ゲート間絶縁膜32(第2のゲート絶縁膜)、及び制御ゲート23(第2のゲート電極)が形成されている。更に、半導体基板10中に、ソース、またはドレイン領域として働く不純物拡散層33が選択的に形成されることで、メモリセルトランジスタが形成されている。これらのゲート絶縁膜29、浮遊ゲート24、浮遊ゲート・制御ゲート間絶縁膜32、制御ゲート23からなる積層ゲート構造を被覆するように、シリコン窒化膜34が全面に形成されている。また、このシリコン窒化膜34上には、メモリセルトランジスタを保護する層間絶縁膜35が形成され、層間絶縁膜35上には、シリコン酸化膜36が形成されている。このシリコン酸化膜36内には、タンタル膜37及びタングステン膜38からなるビット線26が形成されており、ビット線26と接続するコンタクトプラグ39が、メモリセルトランジスタのドレイン領域と接続するように形成されることでNOR型フラッシュEEPROMが形成されている。

【0034】上記構成のNOR型フラッシュEEPROM

Mの製造方法について、図4(a)、(b)乃至図19(a)、(b)を用いて説明する。図4(a)、(b)乃至図19(a)、(b)は図3(a)、(b)に対応するもので、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿ったNOR型フラッシュEEPROMの製造工程の断面図を順次示している。

【0035】まず図4(a)、(b)に示すように、シリコン基板20上に、ゲート絶縁膜29(第1のゲート絶縁膜)となるシリコン酸化膜を熱酸化法等により100Åの膜厚に形成し、このゲート絶縁膜29上に、浮遊ゲートの下層電極となるリンを添加した多結晶シリコン膜30(第1の導電膜)を減圧CVD(Chemical Vapor Deposition)法等により800Åの膜厚に形成する。なお、このゲート絶縁膜29はシリコン酸化膜のみでもよいが、NH₃ガス等による窒化と酸化を行うことでオキシナイトライド膜としても良い。引き続き、多結晶シリコン膜30上にシリコン窒化膜40を、減圧CVD法等により1500Åの膜厚に形成する。

【0036】次に、図5(a)、(b)に示すように、リソグラフィ技術とRIE(Reactive Ion Etching)法等の異方性エッチングにより、素子分離領域の形成予定領域のシリコン窒化膜40、多結晶シリコン膜30、及びゲート絶縁膜29を順次エッチングし、更にシリコン基板20を4000Åの深さにエッチングして、素子分離領域を形成するためのトレンチ41を形成する。

【0037】そして、図6(a)、(b)に示すように、全面にシリコン酸化膜42(絶縁膜)をTEOS(tetraethylorthosilicate; Si(OC₂H₅)₄)を用いたHDP(High Density Plasma)法等により8000Åの膜厚に形成することで、トレンチ41を埋め込む。なお、トレンチ41をシリコン酸化膜42により埋め込む前に、酸化性雰囲気中で熱処理を行うことで、トレンチ41の表面に露出しているシリコン基板20表面に、シリコン酸化膜を形成してもよい。このシリコン酸化膜は、トレンチ41の側壁と底部との角部の形状を緩やかにすることで、この角部へのストレス等の集中を防止するためのものである。

【0038】次に図7(a)、(b)のように、上記シリコン酸化膜42を、シリコン窒化膜40をストッパーを用いたCMP法により研磨して平坦化し、素子分離領域21を完成する。

【0039】そして、図8(a)、(b)に示すように、ホットリン酸処理により、シリコン窒化膜40を選択的に除去し、シリコン酸化膜42を、多結晶シリコン膜30表面から200~400Å程度下がるまで、HF等によるウェットエッチングを行う。

【0040】その後、図9(a)、(b)のように、シリコン窒化膜等の耐腐蝕性絶縁膜28、及びTEOSを用いたシリコン窒化膜34(第1のマスク材)をCVD法により、それぞれ200Å、1000Åの膜厚に形成

する。

【0041】上記シリコン酸化膜43を、耐酸性絶縁膜28をトップパーに用いたCMP法により研磨を行い、図10(a)、(b)のように耐酸性絶縁膜28を露出させる。

【0042】さらに図11(a)、(b)に示すように、ホットリン酸処理を行うことにより、多結晶シリコン膜30上の耐酸性絶縁膜28を除去する。この際、素子分離領域21上の耐酸性絶縁膜28はシリコン酸化膜43に保護されるためエッチングされない。

【0043】次にウェットエッチングにより耐酸性絶縁膜28上のシリコン酸化膜43を除去することで、図12(a)、(b)に示すように、素子分離領域21の上面全体に耐酸性絶縁膜28をセルフアラインで形成できる。その後、多結晶シリコン膜30を、非酸系の処理液により洗浄処理を行い、自然酸化膜を除去する。この際、素子分離領域21は耐酸性絶縁膜28により保護される。

【0044】その後、図13(a)、(b)に示すように、全面に浮遊ゲートの上層電極となるリンを添加した多結晶シリコン膜31(第2の導電膜)を減圧CVD法等により形成する。

【0045】そして、リソグラフィ技術と異方性のエッチングにより、多結晶シリコン膜31を図14(a)、(b)に示すようにビット線B1の延設方向にパターンニングして浮遊ゲート24(第1のゲート電極)を形成する。そして、この浮遊ゲート24の上層部分の多結晶シリコン膜31表面の自然酸化膜を除去するために非酸系の洗浄処理を行う。この際も、素子分離領域21は耐酸性絶縁膜28により保護できる。引き続き全面に浮遊ゲート・制御ゲート間絶縁膜32(第2のゲート絶縁膜)を形成する。この浮遊ゲート・制御ゲート間絶縁膜32は、例えばシリコン酸化膜($\text{SiO}_2: 5\text{nm}$)、シリコン窒化膜($\text{SiN}: 7\text{nm}$)、及びシリコン酸化膜($\text{SiO}_2: 5\text{nm}$)の3層構造のONO膜である。なお、浮遊ゲート・制御ゲート間絶縁膜32は、単にシリコン酸化膜を用いても良いし、シリコン酸化膜とシリコン窒化膜との2層構造のON膜、ON膜であっても良い。

【0046】引き続き、図15(a)、(b)に示すように、浮遊ゲート・制御ゲート間絶縁膜32上に制御ゲート23(第2のゲート電極)を形成する。この制御ゲート23は、例えば不純物を添加した多結晶シリコン膜や、この多結晶シリコン膜とシリサイド膜との多層構造(ポリサイド)である。

【0047】そして、再度リソグラフィ技術と異方性のエッチングにより、制御ゲート23、浮遊ゲート・制御ゲート間絶縁膜32及び浮遊ゲート24を、図16(a)、(b)に示すようにワード線方向にパターンニングする。

【0048】次に、イオン注入法によりソース、ドレインとなる領域に不純物を導入して不純物拡散層33を選択的に形成し、導入した不純物の活性化のために熱処理を行う。引き続き、全面にシリコン窒化膜33を減圧CVD法により400Åの膜厚に形成することで、図17(a)、(b)の構造を形成する。

【0049】上記工程によりNOR型フラッシュEEPROMのメモリセルトランジスタが完成する。

【0050】次に、図18(a)、(b)に示すように、全面に段差被覆性の高いBPSG(Boron Phosphorous Silicate Glass)膜により層間絶縁膜35を常圧CVD法により形成し、その後の熱処理によりこの層間絶縁膜35をリフローさせて平坦化する。引き続き、プラズマCVD法等により、全面にシリコン酸化膜36を形成する。

【0051】そして、リソグラフィ技術と異方性のエッチングにより、図19(a)、(b)に示すようにコンタクトホール25を形成し、ビット線B1形成予定領域のシリコン酸化膜36の表面をエッチングする。

【0052】その後は、コンタクトホール25が多結晶シリコン膜等で埋め込むことでコンタクトプラグ39を形成し、ビット線B1形成予定領域をチャタリング37及びタングステン膜38で埋め込み、図3(a)、(b)に示した構造を完成する。

【0053】上記のような不揮発性半導体記憶装置及びその製造方法によれば、素子分離領域21の上面全体にシリコン窒化膜などによる耐酸性絶縁膜28を設けている。そのため、浮遊ゲート・制御ゲート間絶縁膜32の耐圧向上を目的とした多結晶シリコン膜31の洗浄処理において、素子分離領域21が侵食されるのを防止できる。そのため、素子分離領域21はフィールドトランジスタに対して、高い反転耐圧を維持できる。また、素子分離領域21がエッチングされないために、浮遊ゲート24に余計な角部が発生しないため、従来の電界集中箇所の増加も回避でき、浮遊ゲート・制御ゲート間絶縁膜32の耐圧も維持できる。更に、素子分離領域21が耐酸性絶縁膜28により保護されていることから、多結晶シリコン膜30、31の表面を非酸系の処理液により十分に洗浄できるため、浮遊ゲート・制御ゲート間絶縁膜32の耐圧を更に向上できる。よって、浮遊ゲート・制御ゲート間絶縁膜32の耐圧を向上させ、かつフィールドトランジスタの反転耐圧を向上できるので、不揮発性半導体記憶装置及びその製造方法の信頼性を向上できる。また、この耐酸性絶縁膜28の形成はセルフアラインにより形成できることから、多結晶シリコン膜31をエッチングする際のマージンを大きくすることが出来るので、製造方法の信頼性を向上できる。

【0054】また、上記耐酸性絶縁膜28の形成は、図9(a)乃至図12(b)に示すようにセルフアラインで行うことが出来る。そのため、リソグラフィ技術に

よる加工限界以上に微細化の進んだ不揮発性半導体記憶装置においても本方法を適用でき、更にリソグラフィ工程を必要としないうえ、不揮発性半導体記憶装置のスループットを向上できる。

【0055】次に、この発明の第2の実施形態に係る不揮発性半導体記憶装置及びその製造方法について、NOR型フラッシュEEPROMを例に挙げて説明する。

【0056】図20及び図21は、NOR型フラッシュEEPROMの製造工程の一部のワード線方向に沿った断面図である。

【0057】まず、第1の実施形態で説明した工程により図9のような構造を形成する。第1の実施形態ではその後耐弗酸性絶縁膜28をストッパーに用いたCMPにより耐弗酸性絶縁膜28を露出させ、ウェットエッチングにより多結晶シリコン膜30上の耐弗酸性絶縁膜28及び耐弗酸性絶縁膜28上のシリコン酸化膜43（第1のマスク材）を除去して図11の構造を得ていた。

【0058】それに対して本実施形態では、図9の構造の形成後、多結晶シリコン膜30をCMPのストッパーに用いて研磨を行い、この研磨工程において、図20に示すように、多結晶シリコン膜30上の耐弗酸性絶縁膜28を除去する。

【0059】その後、図21に示すようにウェットエッチングによりシリコン酸化膜43を除去することで、素子分離領域21の上面全体に耐弗酸性絶縁膜28をセルフアラインで形成できる。

【0060】その後は第1の実施形態同様、図13乃至図19の製造工程により図3に示すNOR型フラッシュEEPROMを完成する。

【0061】上記のような製造方法によれば、第1の実施形態で行っていた多結晶シリコン膜30上の耐弗酸性絶縁膜28をホットリン酸により除去する工程を省略できるので、製造工程を短縮でき、製造コストを低減することが出来る。

【0062】次に、この発明の第3の実施形態に係る不揮発性半導体記憶装置及びその製造方法について、NOR型フラッシュEEPROMを例に挙げて説明する。

【0063】図22乃至図27は、NOR型フラッシュEEPROMの製造工程の一部のワード線方向に沿った断面図である。

【0064】まず、第1または第2の実施形態で説明した製造方法により、図13(a)、(b)に示す構造を形成する。

【0065】その後の工程で、リソグラフィ技術とエッチングにより多結晶シリコン膜31をパターンニングして浮遊ゲートを形成するが、半導体素子の微細化と共に、隣接する浮遊ゲートの分離領域幅を狭める要求がある。そして、その要求は現状のリソグラフィ工程の解像限界を超えている場合がある。

【0066】そのような場合には図13(a)、(b)

の構造において、全面に例えばTEOSを用いたシリコン酸化膜44（第2のマスク材）により形成し、図22に示す構造を得る。

【0067】次に、全面にフォトリソを塗布し、リソグラフィ技術により可能な範囲の大きさで露光する。このフォトリソをマスクにしてシリコン酸化膜44をエッチングし図23の構造を形成する。

【0068】次に、図24に示すように、全面に例えばTEOSを用いたシリコン酸化膜45（第3のマスク材）を形成する。

【0069】その後RIE法により異方性のエッチングを行うことにより、図25の構造を得る。すなわち、シリコン酸化膜45をシリコン酸化膜44の側壁にサイドウォールとして残存させることが出来る。

【0070】そして、図26に示すように、上記シリコン酸化膜44、45を用いてRIE法によりエッチングを行うことで、リソグラフィ工程の解像限界よりもより微細な、浮遊ゲートの分離領域を形成できる。

【0071】次に、図27に示すように、ウェットエッチングによりシリコン酸化膜44、45を除去して浮遊ゲート24を完成する。このウェットエッチングでは、エッチング液として弗酸系の処理液を用いるが、素子分離領域21上には耐弗酸性絶縁膜28が形成されているため、素子分離領域21が侵食されるのを防止できる。

また、シリコン酸化膜44、45の除去と同時に、多結晶シリコン膜31の洗浄も同時に行うことが出来る。

【0072】その後は、第1の実施形態で説明したように、図14乃至図19の工程により、図3に示すNOR型フラッシュEEPROMを完成する。

【0073】上記のような製造方法によれば、浮遊ゲートの分離領域を形成する際に、マスク材を、まずリソグラフィ技術により可能な限り微細にパターンニングし、このマスク材の側壁に更にマスク材をサイドウォール状に形成している。このサイドウォールは、その膜厚によりかなり正確に制御でき、この2つのマスク材を用いてエッチングを行うことにより、リソグラフィ技術の解像限界よりも微細な半導体装置の加工を可能とする事が出来る。

【0074】なお、上記第1乃至第3の実施形態ではNOR型フラッシュEEPROMを例に挙げて説明したが、NAND型フラッシュEEPROM等、2層構造のゲートを有する半導体記憶装置に広く適用できるのはもちろんであり、この発明の主旨を逸脱しない範囲で適宜変更して実施することが出来る。

【0075】

【発明の効果】以上説明したように、この発明によれば、素子分離領域を保護することにより、フィールドトランジスタの反転耐圧及び浮遊ゲート・制御ゲート間絶縁膜の耐圧を向上出来る、高信頼性の不揮発性半導体記憶装置を提供できる。

【0076】また、リソグラフィ工程を用いず素子分離を保護することで、スルーアットを向上できる不揮発性半導体記憶装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの回路図。

【図2】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの一部断面図。

【図3】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの一部断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図4】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第1の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図5】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第2の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図6】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第3の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図7】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第4の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図8】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第5の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図9】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第6の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図10】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第7の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図11】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第8の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図12】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第9の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図13】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第10の製造工程の断面図であ

り、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図14】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第11の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図15】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第12の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図16】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第13の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図17】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第14の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図18】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第15の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図19】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第16の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図20】この発明の第2の実施形態に係るNOR型フラッシュEEPROMの第1の製造工程の断面図。

【図21】この発明の第2の実施形態に係るNOR型フラッシュEEPROMの第2の製造工程の断面図。

【図22】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第1の製造工程の断面図。

【図23】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第2の製造工程の断面図。

【図24】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第3の製造工程の断面図。

【図25】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第4の製造工程の断面図。

【図26】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第5の製造工程の断面図。

【図27】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第6の製造工程の断面図。

【図28】従来のNOR型フラッシュEEPROMの断面図。

【図29】従来の問題点について説明するためのもので、NOR型フラッシュEEPROMの断面図。

【図30】従来の素子分離領域上に耐非酸溶性絶縁膜を設けたNOR型フラッシュEEPROMの断面図。

【図31】従来の問題点について説明するためのもので、素子分離領域上に耐非酸溶性絶縁膜を設けたNOR型

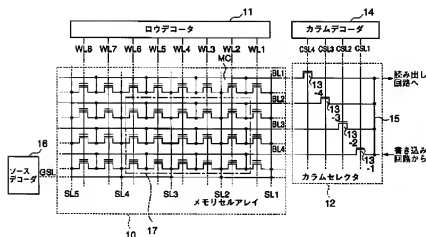
フラッシュEEPROMの断面図。

【符号の説明】

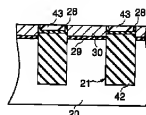
- 10…メモリセルアレイ
11…ロウデコーダ
12…カラムセレクト
13…トランジスタ
14…カラムデコーダ
15…読み出し/書き込みノード
16…ソースデコーダ
17、27…領域
20、100…シリコン基板
21、110…素子分離領域
22、120…活性領域
23、160…制御ゲート
24、140…浮遊ゲート

- 25…コンタクトホール
26…ビット線
28、190…耐非酸性絶縁膜
29、130…ゲート絶縁膜
30、31…多結晶シリコン膜
32、150…浮遊ゲート・制御ゲート間絶縁膜
33…不純物拡散層
34、40…シリコン酸化膜
35…層間絶縁膜
36、42、43、44、45…シリコン酸化膜
37…チタン膜
38…タングステン膜
39…コンタクトプラグ
41…トレンチ
170、180…浮遊ゲート角部

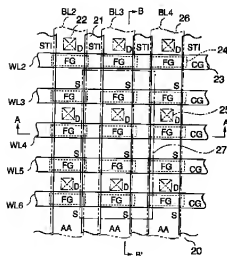
【図1】



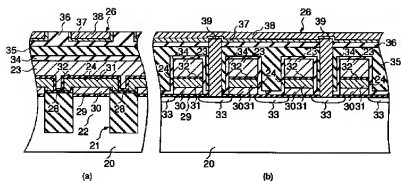
【図20】



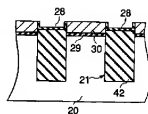
【図2】



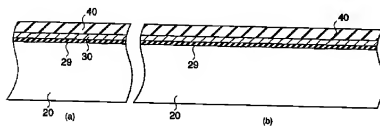
【図3】



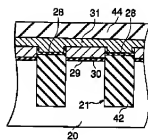
【図21】



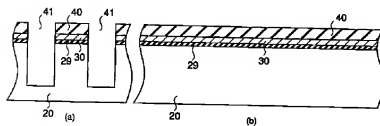
【図4】



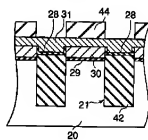
【図22】



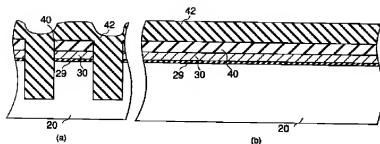
【図5】



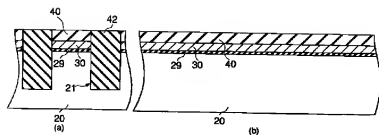
【図23】



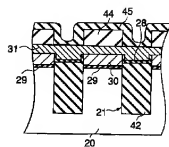
【図6】



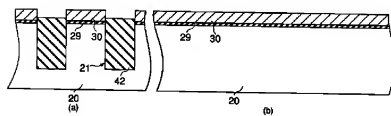
【図7】



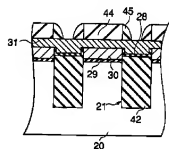
【図24】



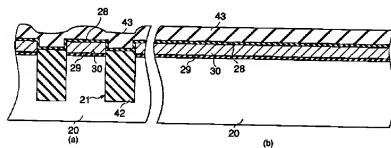
【図8】



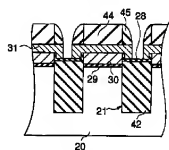
【図25】



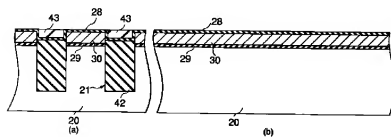
【図9】



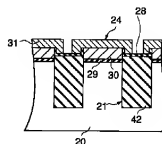
【図26】



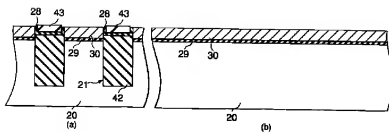
【図10】



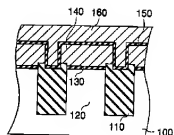
【図27】



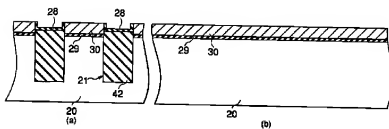
【図11】



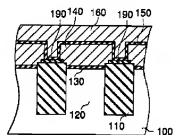
【図28】



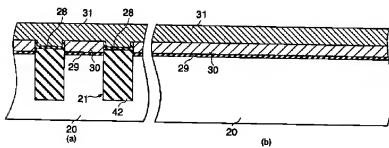
【図12】



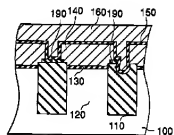
【図30】



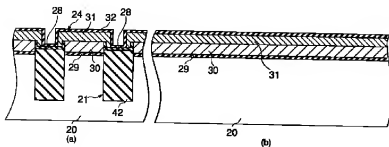
【図13】



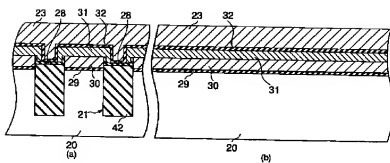
【図31】



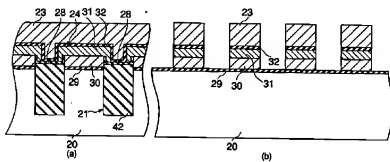
【図14】



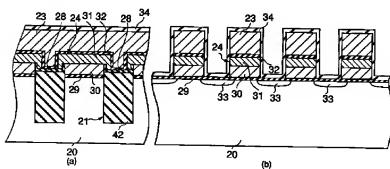
【図15】



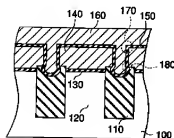
【図16】



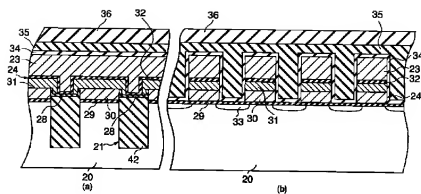
【図17】



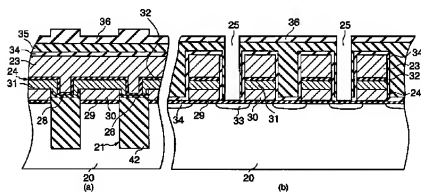
【図29】



【図18】



【図19】



フロントページの続き

Fターム(参考) 5F001 AA30 AA43 AB08 AD53 AD60
 AF25 AG03 AG07 AG28 AG29
 5F083 EP05 EP23 EP54 EP55 EP56
 EP76 EP77 ER22 GA24 GA28
 JA04 JA39 JA56 MA06 MA20
 NA01 PB05 PR29 PR40
 5F101 BA12 BB05 BD34 BD35 BF09
 BH05 BH13 BH15 BH19

JP 2001-274367 MACHINE TRANSLATION FROM JPO

WEBSITE

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In this invention, it is related with a nonvolatile semiconductor memory and a manufacturing method for the same.

Therefore, the thing using especially the MOS transistor of two-layer gate structure as a memory cell transistor is started.

[0002]

[Description of the Prior Art] By improvement in the production technology of a semiconductor device in recent years, especially the minuteness making of a semiconductor memory device is advancing quickly. In connection with it, research on the isolation art of separating each element electrically is also advanced briskly.

[0003] The conventional nonvolatile semiconductor memory is explained using drawing 28. drawing 28 met the word line direction in the memory cell array region of a NOR type flash EEPROM (Electrically Erasable and Programmable Read Only Memory) -- it is a sectional view in part.

[0004] The isolation region 110 is formed in the silicon substrate 100, and the gate dielectric film 130 is formed on the active region 120 between this adjoining isolation region 110 so that it may illustrate. And the floating gate 140 is formed on the gate dielectric film 130. A floating gate and the insulator layer 150 between control gates are formed in the whole surface, and on this floating gate and insulator layer 150 between control gates, as said floating gate 140 is overlapped, the control gate 160 is formed. Although not illustrated in the silicon substrate 100, the memory cell transistor comprises that an impurity diffused layer is formed selectively.

[0005] In the NOR type flash EEPROM of the above-mentioned structure, a data storage is performed by pouring an electric charge into the floating gate 160 of a memory cell transistor. How for pouring of this electric charge to make generate hot carriers in the

channel regions of a memory cell transistor, and pour in to the floating gate 160, Or a high electric field is impressed to the gate dielectric film 130 between the floating gate 160 and the silicon substrate 100, and it is carried out by the method of pouring in an electric charge according to the tunnel effect.

[0006]Also in which method, a high electric field must be impressed to the control gate 160. In order to perform isolation stable in this state, it is necessary to fully secure reversal pressure-proofing of the field transistor formed by the MOS structure of a floating gate and the insulator layer 150 between the control gate 160 and control gates, and the semiconductor substrate 100. In particular, according to advance of the minuteness making of a semiconductor device in recent years, since there is a request which makes the depth of the isolation region 110 shallow, reservation of this reversal pressure-proofing serves as still more important art.

[0007]At the time of the writing of data, and elimination, the high electric field of about 5 MV/cm is impressed to a floating gate and the insulator layer 150 between control gates. Therefore, high-withstand-pressure-ization of this floating gate and the insulator layer 150 between control gates is also called for.

[0008]The floating gate 140 is generally formed with a polycrystalline silicon film. Pressure-proofing of said floating gate and the insulator layer 150 between control gates receives influence in the cleanliness of the polycrystalline silicon film which is the floating gate 140 of a ground greatly. Therefore, in the manufacturing method of the conventional NOR type flash EEPROM, they are ** and *****.

[0009]However, when such washing processing is performed, there is a problem that the silicon oxide which forms the isolation region 110 is etched. This problem is explained using [drawing 29](#). [Drawing 29](#) is a sectional view along the word line direction of the NOR type flash EEPROM. Signs that a part of isolation region 110 is eroded, and it is thin are known so that it may illustrate. For this reason, reversal pressure-proofing of the field transistor fell, and in the floating gate 140, since a corner was formed also in the lower end 180 in addition to the floating-gate upper bed 170, the electric-field-concentrates part increased and there was a problem that pressure-proofing of a floating gate and the insulator layer 150 between control gates also deteriorated.

[0010]In order to avoid the above-mentioned problem, the structure shown in [drawing 30](#) is proposed. [Drawing 30](#) is a sectional view along the word line direction of the NOR type flash EEPROM. The fluorine acid-proof nature insulator layers (silicon nitride film etc.) 190 are provided on the isolation region 110 so that it may illustrate. Therefore, in washing processing of the floating gate 140, the isolation region 110 can be protected with a fluorine acid-proof nature insulator layer.

[0011]However, in order to form the above-mentioned structure, the lithography process for making the fluorine acid-proof nature insulator layer 190 remain only on the isolation region 110 is needed. Therefore, there is a problem that the throughput of a product falls. As shown in [drawing 31](#), when the fluorine acid-proof nature insulator layer 190 united, the gap arose in said lithography process and the fluorine acid-proof nature insulator layer 190 shifted from the isolation region of the floating gate 140, in subsequent washing processing, there was a problem that the isolation region 110 was eroded, too. If the width of the isolation region 110 becomes narrow with advance of minuteness making

especially, it improves by the above-mentioned lithography process, and unites, and the amount of gaps also becomes severe and is not realistic in the manufacturing process of a actual semiconductor memory device.

[0012]

[Problem(s) to be Solved by the Invention] In order that the above-mentioned conventional semiconductor memory device and a manufacturing method for the same might raise pressure-proofing of a floating gate and the insulator layer between control gates, washing processing of the floating gate used as the ground of formation of a floating gate and the insulator layer between control gates was performed. However, since [which is the oxide-film-removal effect] it was performed by the treating solution of a fluoric acid system especially it is, this washing process had a case where the isolation region under the isolation region of a floating gate was eroded. Therefore, reversal pressure-proofing of the field transistor fell, and the electric-field-concentrates part increased in the floating gate, and there was a problem that pressure-proofing of a floating gate and the insulator layer between control gates also deteriorated.

[0013] In the method of providing a fluoric acid-proof nature insulator layer on an isolation region proposed in order to solve the above-mentioned problem, the lithography process for processing this fluoric acid-proof nature insulator layer was needed, and there was a problem that the throughput of a semiconductor memory device fell. There was a problem permitted by a lithography process that an isolation region would be too eroded in subsequent washing processing if it unites, the amount of gaps falls and a fluoric acid-proof nature insulator layer shifts from the isolation region of a floating gate as minutely making progressed.

[0014] In light of the above-mentioned circumstances, that 1st purpose has this invention in providing the highly reliable nonvolatile semiconductor memory which can improve reversal pressure-proofing of a field transistor, and pressure-proofing of a floating gate and the insulator layer between control gates by protecting an isolation region.

[0015] The 2nd purpose of this invention is to protect isolation, without using a lithography process, and there is in providing the manufacturing method of the nonvolatile semiconductor memory which can improve a throughput.

[0016]

[Means for Solving the Problem] A nonvolatile semiconductor memory indicated to claim 1 of this invention, An isolation region established in a semiconductor substrate, and a fluoric acid-proof nature insulator layer provided all over the upper surface of said isolation region, The 1st gate dielectric film provided on an active region between said adjoining isolation regions, the 1st conducting film provided on said 1st gate dielectric film -- and -- this -- with the 1st gate electrode provided with the 2nd conducting film provided on the 1st conducting film. The 2nd gate dielectric film provided on said 1st gate electrode, and the 2nd gate electrode in which it is provided on said 2nd gate dielectric film, and at least a part overlaps said 1st gate electrode, Said 1st gate dielectric film, said 1st gate electrode, said 2nd gate dielectric film, and an interlayer insulation film that covers lamination gate structure which said 2nd gate electrode was laminated and was formed are provided, and the upper surface of said isolation region is characterized by being lower than the upper surface of said 1st conducting film.

[0017] This invention is characterized by a manufacturing method of a nonvolatile semiconductor memory indicated to claim 2 comprising the following.

A process of forming the 1st gate dielectric film on a semiconductor substrate.

A process of forming the 1st conducting film that constitutes a part of 1st gate electrode on said 1st gate dielectric film.

A process of etching said 1st conducting film, said 1st gate dielectric film, and said semiconductor substrate, forming a trench, and forming an isolation region by embedding an insulator layer in this trench.

A process of forming a fluoric acid-proof nature insulator layer in a self aryne to this isolation region all over the upper surface of said isolation region, A process of forming the 2nd conducting film on said 1st conducting film and said fluoric acid-proof nature insulator layer, A process of removing said at least a part of 2nd conducting film on said fluoric acid-proof nature insulator layer until it reaches this fluoric acid-proof nature insulator layer, and forming the 1st gate electrode, A process of forming the 2nd gate dielectric film on said 1st gate electrode, and a process of forming said 1st gate electrode and the 2nd gate electrode that at least a part overlaps on said 2nd gate dielectric film, A process of forming an interlayer insulation film so that lamination gate structure which said 1st gate dielectric film, said 1st gate electrode, said 2nd gate dielectric film, and said 2nd gate electrode were laminated, and was formed may be covered.

[0018]This invention is characterized by that a manufacturing method of the nonvolatile semiconductor memory according to claim 2 comprises the following again, as indicated to claim 3.

A process into which a process of forming a fluoric acid-proof nature insulator layer in a self aryne to this isolation region etches the surface of said isolation region all over the upper surface of said isolation region so that it may become lower than the surface of said 1st conducting film at least.

A process of forming said fluoric acid-proof nature insulator layer on said isolation region and said 1st conducting film.

A process of forming the 1st mask material on said fluoric acid-proof nature insulator layer.

A process of using said fluoric acid-proof nature insulator layer on said 1st conducting film as a stopper, and removing said 1st mask material, a process of removing said fluoric acid-proof nature insulator layer on said 1st conducting film, and a process of removing said 1st mask material on said fluoric acid-proof nature insulator layer.

[0019]Further, this invention is characterized by that a manufacturing method of the nonvolatile semiconductor memory according to claim 2 comprises the following, as indicated to claim 4.

A process into which a process of forming a fluoric acid-proof nature insulator layer in a self aryne to this isolation region etches the surface of said isolation region all over the upper surface of said isolation region so that it may become lower than the surface of said 1st conducting film at least.

A process of forming said fluoric acid-proof nature insulator layer on said isolation region and said 1st conducting film.

A process of forming the 1st mask material on said fluoric acid-proof nature insulator layer.

A process of using said 1st conducting film as a stopper, and removing said 1st mask

material, and a process of removing said 1st mask material on said fluoric acid-proof nature insulator layer.

[0020]As indicated to claim 5, in a manufacturing method of a nonvolatile semiconductor memory of claim 2 thru/or 4 given in any 1 paragraph, it is characterized by having further a process of washing the surface of said 1st conducting film with a treating solution containing fluoric acid, before a process of forming said 2nd conducting film.

[0021]As indicated to claim 6, in a manufacturing method of a nonvolatile semiconductor memory of claim 2 thru/or 5 given in any 1 paragraph, it is characterized by having further a process of washing the surface of said 2nd conducting film with a treating solution containing fluoric acid, before a process of forming said 2nd gate dielectric film.

[0022]This invention is characterized by that a manufacturing method of a nonvolatile semiconductor memory of claim 2 thru/or 6 given in any 1 paragraph comprises the following, as indicated to claim 7.

A process at which a process of removing said at least a part of 2nd conducting film on said fluoric acid-proof nature insulator layer until it reaches on this fluoric acid-proof nature insulator layer, and forming the 1st gate electrode forms the 2nd mask material on said 2nd conducting film.

A process of patterning said 2nd mask material by a lithography technology and etching.

A process of forming the 3rd mask material on said 2nd mask material and said 2nd conducting film.

A process which etches said 3rd mask material and makes only a side attachment wall of said 2nd mask material remain, Said 2nd conducting film is etched using said 2nd and 3rd mask material, A process of removing this at least a part of 2nd conducting film on said fluoric acid-proof nature insulator layer until it reaches this fluoric acid-proof nature insulator layer, and a process of washing removal the surface of said 2nd conducting film for said 2nd and 3rd mask material using a treating solution containing fluoric acid.

[0023]According to structure and a method like claims 1 and 2, a fluoric acid-proof nature insulator layer is formed all over the upper surface of an isolation region. Since this fluoric acid-proof nature insulator layer functions as a protective film of an isolation region, an isolation region can be prevented from being etched in a washing process by a treating solution of a subsequent fluoric acid system. Therefore, the isolation region can maintain high reversal pressure-proofing to a field transistor. Since a corner excessive to the 1st gate electrode since an isolation region is not etched does not occur, an increase in an electric-field-concentrates part like before can also be avoided, and pressure-proofing of the 2nd gate dielectric film can also be maintained. Since an isolation region is protected by fluoric acid-proof nature insulator layer and a treating solution of a fluoric acid system can fully wash the surface of the 1st conducting film and the 2nd conducting film, pressure-proofing of the 2nd gate dielectric film can be improved further. Since formation of this fluoric acid-proof nature insulator layer can be formed by a self aryne and it can enlarge a margin of etching in a process of removing at least a part of 2nd conducting film on a fluoric acid-proof nature insulator layer, and forming the 1st gate electrode, it can improve a throughput.

[0024]By a method like claim 3 or 4, a fluoric acid-proof nature insulator layer can be formed in a self aryne to an isolation region.

[0025]Like claim 5 or 6, pressure-proofing of the 2nd insulator layer can be improved by washing the surface of the 1st conducting film and the 2nd conducting film with a treating solution of a fluoric acid system.

[0026]By forming the 3rd mask material like claim 7 on a lithography technology and the 2nd mask material patterned by etching, and making the 3rd mask material remain only on a side attachment wall of the 2nd mask material by etching of anisotropy. A mask pattern detailed beyond a working limit of a lithography technology can be formed. The surface of the 2nd conducting film can be simultaneously washed by using a treating solution of fluoric acid nature, in order to remove a mask material.

[0027]

[Embodiment of the Invention] Hereafter, the embodiment of this invention is described with reference to drawings. On the occasion of this explanation, a common reference mark is given to the portion which crosses and is common in a complete diagram.

[0028]About a nonvolatile semiconductor memory concerning a 1st embodiment of this invention, and a manufacturing method for the same, a NOR type flash EEPROM is mentioned as an example, and is explained.

[0029]Drawing 1 is a circuit diagram of a NOR type flash EEPROM. Two or more nonvolatile memory cells (MC:Memory Cell) are arranged at matrix form at the memory cell array 10 so that it may illustrate. Each nonvolatile memory cell MC is connected to one bit line (BL:Bit Line) and one source line (SL:Source Line). The gate of two or more nonvolatile memory cell MCs is connected to a word line (WL:Word Line) which is different for every line, respectively, and these word lines WL1-WL8 are connected to the row decoder 11, respectively. The row decoder 11 drives selectively any one of two or more of the word lines WL1-WL8.

[0030]The bit lines BL1-BL4 are connected to the column selector 12, and this column selector 12 is provided with two or more transistors 13-1 to 13-4 by which the end of the current route was connected to the bit lines BL1-BL4, respectively. The gate of this transistor 13-1 to 13-4 is connected to a column selection line (CSL:Column Select Line) different, respectively, and these column selection lines CSL1-CSL4 are connected to the column decoder 14, respectively. The column decoder 14 drives selectively any one of two or more of the column selection lines CSL1-CSL4. The transistor 13-1 to 13-4 drives selectively [any one], and any one of two or more of the bit lines BL1-BL4 is electrically connected to read-out / write-in node 15 by things. This read-out / write-in node 15 are connected to the readout circuitry and circuit writing which are not illustrated, respectively. Thereby, read-out/writing of data are performed to nonvolatile memory cell MC with the column decoder 14 and the selected row decoder 11.

[0031]Nonvolatile memory cell MC is connected to source line SL formed in accordance with the direction to which the word line WL extends. This source line SL is connected to the global source line (GSL:Global Source Line) formed in accordance with the direction to which the bit line BL extends, and the global source line GSL is connected to the source decoder 16. The source decoder 16 supplies the source potential of nonvolatile memory cell MC by source line SL via the global source line GSL.

[0032]Drawing 2 is a top view of the field 17 enclosed with the dashed dotted line in drawing 1. The isolation region (STI:Shallow Trench Isolation) 21 is formed in the silicon substrate 20, and between this isolation region 21 serves as the active region (AA:Active Area) 22 which forms an element so that it may illustrate. The control gate

(CG:Control Gate) 23 is installed so that the floating gate (FG:Floating Gate) 24 may be selectively established in the active region 22, and this floating gate 24 may be covered and it may intersect perpendicularly with the active region 22. And into the silicon substrate 20 of each active region 22, memory cell transistor MC is formed by the impurity diffused layer used as source and drain area S and D being provided so that it may face across the floating gate 24 and the control gate 23. The contact hole 25 is established in the drain D of this nonvolatile memory cell MC, and it is connected to the bit line 26 via this contact hole 25. The source S of nonvolatile memory cell MC is connected in common with the source S of nonvolatile memory cell MC which adjoins via the isolation region 21 by the impurity diffused layer (source line SL) provided, for example in the pars basilaris ossis occipitalis of the isolation region 21.

[0033]Next, the sectional view along the A-A' line and B-B' line direction of the field 27 enclosed with the dashed dotted line in drawing 2 is shown in drawing 3 (a) and (b), respectively. The isolation region (STI) 21 is formed in the semiconductor substrate 20, and as the upper surface of this isolation region 21 is covered, the fluorine acid-proof nature insulator layer 28 is formed in the whole surface so that it may illustrate. And on the active region 22 between the adjoining isolation regions 21, the gate dielectric film 29 (the 1st gate dielectric film) is formed. On this gate dielectric film 29, the floating gate, the insulator layer 32 (the 2nd gate dielectric film) between the floating gate 24 (the 1st gate electrode) which consists of the polycrystalline silicon films 30 (the 1st conducting film) and 31 (the 2nd conducting film), and control gates, and the control gate 23 (the 2nd gate electrode) are formed. The memory cell transistor is formed by source or the impurity diffused layer 33 which works as a drain area being selectively formed into the semiconductor substrate 10. The silicon nitride film 34 is formed in the whole surface so that the lamination gate structure which consists of a floating gate and the insulator layer 32 between these gate dielectric film 29, the floating gate 24, and control gates, and the control gate 23 may be covered. On this silicon nitride film 34, the interlayer insulation film 35 which protects a memory cell transistor is formed, and the silicon oxide 36 is formed on the interlayer insulation film 35. In this silicon oxide 36, the bit line 26 which consists of the titanium film 37 and the tungsten film 38 is formed. The NOR type flash EEPROM is formed by the contact plug 39 linked to the bit line 26 being formed so that it may connect with the drain area of a memory cell transistor.

[0034]The manufacturing method of the NOR type flash EEPROM of the above-mentioned composition is explained using drawing 4 (a), (b), or drawing 19 (a) and (b). Drawing 4 (a), (b), or drawing 19 (a) and (b) corresponds to drawing 3 (a) and (b), and shows it the sectional view of the manufacturing process of a NOR type flash EEPROM where the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction one by one in drawing 2.

[0035]As first shown in drawing 4 (a) and (b), the silicon oxide used as the gate dielectric film 29 (the 1st gate dielectric film) is formed by a thermal oxidation method etc. on the silicon substrate 20 at 100-Å thickness, the polycrystalline silicon film 30 (the 1st conducting film) which added Linn used as the lower layer electrode of a floating gate on this gate dielectric film 29 -- the decomposition CVD (Chemical Vapor Deposition) -- it forms in 800-Å thickness by law etc. Although silicon oxide may still be sufficient as this gate dielectric film 29, it is good also as a oxy nitride film by performing the nitriding and oxidation by NH₃ gas etc. Then, the silicon nitride film 40 is formed with a

vacuum CVD method etc. on the polycrystalline silicon film 30 at 1500-A thickness.

[0036]Next, as shown in drawing 5 (a) and (b), by anisotropic etching, such as a lithography technology and the RIE (Reactive Ion Etching) method. The silicon nitride film 40 of the formation scheduled region of an isolation region, the polycrystalline silicon film 30, and the gate dielectric film 29 are etched one by one, and also the silicon substrate 20 is etched into a depth of 4000 Å, and the trench 41 for forming an isolation region is formed.

[0037]And as shown in drawing 6 (a) and (b), By forming the silicon oxide 42 (insulator layer) in the whole surface at 8000-Å thickness by the HDP (High Density Plasma) method etc. which used TEOS (tetraethylorthosilicate; $\text{Si}(\text{OC}_2\text{H}_5)_4$). The trench 41 is embedded. Before embedding the trench 41 by the silicon oxide 42, silicon oxide may be formed in the silicon substrate 20 surface exposed to the surface of the trench 41 by performing heat treatment in an oxidizing atmosphere. This silicon oxide is making loose shape of the corner of the side attachment wall of the trench 41, and a pars basilaris ossis occipitalis, and is for preventing concentration of the stress to this corner, etc.

[0038]Next, as shown in drawing 7 (a) and (b), the silicon nitride film 40 is ground by the CMP method used for the stopper, flattening of the above-mentioned silicon oxide 42 is carried out, and the isolation region 21 is completed.

[0039]And wet etching by HF etc. is performed until it removes the silicon nitride film 40 selectively and falls the silicon oxide 42 by about 200-400Å from the polycrystalline silicon film 30 surface by hot phosphating, as shown in drawing 8 (a) and (b).

[0040]Then, as shown in drawing 9 (a) and (b), the fluoric acid-proof nature insulator layers 28, such as a silicon nitride film, and the silicon oxide 43 (the 1st mask material) using TEOS are formed in thickness (200 Å and 1000 Å) with a CVD method, respectively.

[0041]The above-mentioned silicon oxide 43 is ground by the CMP method which used the fluoric acid-proof nature insulator layer 28 for the stopper, and as shown in drawing 10 (a) and (b), the fluoric acid-proof nature insulator layer 28 is exposed.

[0042]As furthermore shown in drawing 11 (a) and (b), the fluoric acid-proof nature insulator layer 28 on the polycrystalline silicon film 30 is removed by performing hot phosphating. Under the present circumstances, since it is protected by the silicon oxide 43, the fluoric acid-proof nature insulator layer 28 on the isolation region 21 is not etched.

[0043]Next, by removing the silicon oxide 43 on the fluoric acid-proof nature insulator layer 28 by wet etching, as shown in drawing 12 (a) and (b), the fluoric acid-proof nature insulator layer 28 can be formed in the whole upper surface of the isolation region 21 by a self aryne. Then, the treating solution of a fluoric acid system performs washing processing for the polycrystalline silicon film 30, and a natural oxidation film is removed. Under the present circumstances, the isolation region 21 is protected by the fluoric acid-proof nature insulator layer 28.

[0044]Then, as shown in drawing 13 (a) and (b), the polycrystalline silicon film 31 (the 2nd conducting film) which added Lynn used as the upper electrode of a floating gate is formed in the whole surface with a vacuum CVD method etc.

[0045]And by etching of a lithography technology and anisotropy, the polycrystalline silicon film 31 is patterned in the installation direction of the bit line BL, as shown in drawing 14 (a) and (b), and the floating gate 24 (the 1st gate electrode) is formed. And in

order to remove the natural oxidation film of the polycrystalline silicon film 31 surface of the upper part of this floating gate 24, washing processing of a fluoric acid system is performed. Also in this case, the isolation region 21 can protect with the fluoric acid-proof nature insulator layer 28. A floating gate and the insulator layer 32 (the 2nd gate dielectric film) between control gates are succeeding formed in the whole surface. This floating gate and the insulator layer 32 between control gates are silicon oxide (SiO_2 :5nm), a silicon nitride film (SiN : 7 nm), and an ONO film of the three-tiered structure of silicon oxide (SiO_2 :5nm), for example. Silicon oxide may only be used for a floating gate and the insulator layer 32 between control gates, and they may be an ON film of the two-layer structure of silicon oxide and a silicon nitride film, and a NO film. [0046]Then, as shown in [drawing 15](#) (a) and (b), the control gate 23 (the 2nd gate electrode) is formed on a floating gate and the insulator layer 32 between control gates. This control gate 23 is the multilayer structure (polycide) of the polycrystalline silicon film which added the impurity, for example, and this polycrystalline silicon film and silicide film.

[0047]And again, by etching of a lithography technology and anisotropy, a floating gate, the insulator layer 32 between the control gate 23 and control gates, and the floating gate 24 are patterned after a word line direction, as shown in [drawing 16](#) (a) and (b).

[0048]Next, it heat-treats for activation of the impurity which introduced the impurity into the field which serves as source and a drain with ion implantation, formed the impurity diffused layer 33 selectively and introduced it. Then, the structure of [drawing 17](#) (a) and (b) is formed in the whole surface by forming the silicon nitride film 33 in 400-Å thickness with a vacuum CVD method.

[0049]The memory cell transistor of a NOR type flash EEPROM is completed by the above-mentioned process.

[0050]Next, as shown in [drawing 18](#) (a) and (b), the interlayer insulation film 35 is formed in the whole surface with an ordinary pressure CVD method by the high BPSG (Boron Phosphorous Silicate Glass) film of step coverage nature. A reflow of this interlayer insulation film 35 is carried out by subsequent heat treatment, and flattening is carried out. Then, the silicon oxide 36 is formed in the whole surface with plasma CVD method etc.

[0051]And by etching of a lithography technology and anisotropy, the contact hole 25 as shown is formed in [drawing 19](#) (a) and (b), and the surface of the silicon oxide 36 of a bit line BL formation scheduled region is etched into it.

[0052]The contact plug 39 is formed by embedding the contact hole 25 with a polycrystalline silicon film etc. after that, a bit line BL formation scheduled region is embedded by the titanium film 37 and the tungsten film 38, and the structure shown in [drawing 3](#) (a) and (b) is completed.

[0053]According to an above nonvolatile semiconductor memory and a manufacturing method for the same, the fluoric acid-proof nature insulator layer 28 by a silicon nitride film etc. is formed in the whole upper surface of the isolation region 21. Therefore, the isolation region 21 can be prevented from being eroded in washing processing of the polycrystalline silicon film 31 aiming at the improvement in resisting pressure of a floating gate and the insulator layer 32 between control gates. Therefore, the isolation region 21 can maintain high reversal pressure-proofing to a field transistor. Since a corner excessive to the floating gate 24 since the isolation region 21 is not etched does not

occur, the increase in an electric-field-concentrates part like before can also be avoided, and pressure-proofing of a floating gate and the insulator layer 32 between control gates can also be maintained. Since the isolation region 21 is protected by the fluoric acid-proof nature insulator layer 28 and the treating solution of a fluoric acid system can fully wash the surface of the polycrystalline silicon films 30 and 31, pressure-proofing of a floating gate and the insulator layer 32 between control gates can be improved further. Therefore, since pressure-proofing of a floating gate and the insulator layer 32 between control gates is raised and reversal pressure-proofing of a field transistor can be improved, the reliability of a nonvolatile semiconductor memory and a manufacturing method for the same can be improved. Since formation of this fluoric acid-proof nature insulator layer 28 can be formed by a self aryne and it can enlarge the margin at the time of etching the polycrystalline silicon film 31, it can improve the reliability of a manufacturing method.

[0054]Formation of the above-mentioned fluoric acid-proof nature insulator layer 28 can be performed by a self aryne, as shown in drawing 9 (a) thru/or drawing 12 (b).

Therefore, since this method can be applied also in the nonvolatile semiconductor memory which minuteness making followed beyond the working limit by a lithography technology and also a lithography process is not needed, the throughput of a nonvolatile semiconductor memory can be improved.

[0055]Next, about a nonvolatile semiconductor memory concerning a 2nd embodiment of this invention, and a manufacturing method for the same, a NOR type flash EEPROM is mentioned as an example, and is explained.

[0056]Drawing 20 and drawing 21 are the sectional views along some word line directions of the manufacturing process of a NOR type flash EEPROM.

[0057]First, structure like drawing 9 is formed by the process explained by a 1st embodiment. The fluoric acid-proof nature insulator layer 28 is exposed by CMP which used the fluoric acid-proof nature insulator layer 28 for the stopper after that in a 1st embodiment, Wet etching removed the silicon oxide 43 (the 1st mask material) on the fluoric acid-proof nature insulator layer 28 on the polycrystalline silicon film 30, and the fluoric acid-proof nature insulator layer 28, and the structure of drawing 11 had been acquired.

[0058]To it, by this embodiment, it grinds by using the polycrystalline silicon film 30 for the stopper of CMP after formation of the structure of drawing 9, and in this polishing process, as shown in drawing 20, the fluoric acid-proof nature insulator layer 28 on the polycrystalline silicon film 30 is removed.

[0059]Then, the fluoric acid-proof nature insulator layer 28 can be formed in the whole upper surface of the isolation region 21 by a self aryne by removing the silicon oxide 43 by wet etching, as shown in drawing 21.

[0060]The NOR type flash EEPROM shown in drawing 3 according to the manufacturing process of drawing 13 thru/or drawing 19 is completed like a 1st embodiment after that.

[0061]Since the process of removing the fluoric acid-proof nature insulator layer 28 on the polycrystalline silicon film 30 which was being performed by a 1st embodiment with hot phosphoric acid can be skipped according to the above manufacturing methods, a manufacturing process can be shortened and a manufacturing cost can be reduced.

[0062]Next, about a nonvolatile semiconductor memory concerning a 3rd embodiment of this invention, and a manufacturing method for the same, a NOR type flash EEPROM is

mentioned as an example, and is explained.

[0063]Drawing 22 thru/drawing 27 are the sectional views along some word line directions of the manufacturing process of a NOR type flash EEPROM.

[0064]First, the structure shown in drawing 13 (a) and (b) is formed with the manufacturing method explained by a 1st or 2nd embodiment.

[0065]Although the polycrystalline silicon film 31 is patterned by a lithography technology and etching and a floating gate is formed at a subsequent process, there is a demand which narrows the isolation region width of an adjoining floating gate with the minuteness making of a semiconductor device. And the demand may be over the resolution limit of the present lithography process.

[0066]In such a case, in the structure of drawing 13 (a) and (b), it forms in the whole surface by the silicon oxide 44 (the 2nd mask material) using TEOS, and the structure shown in drawing 22 is acquired.

[0067]Next, photoresist is applied to the whole surface and it exposes in the size of the possible range with a lithography technology. This photoresist is used as a mask, the silicon oxide 44 is etched, and the structure of drawing 23 is formed.

[0068]Next, as shown in drawing 24, the silicon oxide 45 (the 3rd mask material) using TEOS is formed in the whole surface.

[0069]The structure of drawing 25 is acquired by etching anisotropy by the RIE method after that. That is, the silicon oxide 45 can be made to remain as a sidewall on the side attachment wall of the silicon oxide 44.

[0070]And as shown in drawing 26, the isolation region of a floating gate more detailed than the resolution limit of a lithography process can be formed by etching by the RIE method using the above-mentioned silicon oxide 44 and 45.

[0071]Next, as shown in drawing 27, wet etching removes the silicon oxide 44 and 45, and the floating gate 24 is completed. In this wet etching, although the treating solution of a fluoric acid system is used as an etching reagent, since the fluoric acid-proof nature insulator layer 28 is formed on the isolation region 21, the isolation region 21 can be prevented from being eroded. Simultaneously with removal of the silicon oxide 44 and 45, washing of the polycrystalline silicon film 31 can also be performed simultaneously.

[0072]As a 1st embodiment explained after that, the NOR type flash EEPROM shown in drawing 3 is completed by the process of drawing 14 thru/drawing 19.

[0073]According to the above manufacturing methods, when forming the isolation region of a floating gate, a mask material is first patterned with a lithography technology as minutely as possible, and the mask material is further formed in the side attachment wall of this mask material in the shape of a sidewall. This sidewall can be controlled by that thickness quite correctly, and can enable processing of a semiconductor device more detailed than the resolution limit of a lithography technology by etching using these two mask materials.

[0074]Although the NOR type flash EEPROM was mentioned as the example and the above 1st thru/or a 3rd embodiment explained it, The NAND type flash EEPROM of it being widely applicable to the semiconductor memory device which has a gate of two-layer structure, etc. are natural, and in the range which does not deviate from the main point of this invention, it can change suitably and can carry out.

[0075]

[Effect of the Invention]As explained above, according to this invention, the highly

reliable nonvolatile semiconductor memory which can improve reversal pressure-proofing of a field transistor and pressure-proofing of a floating gate and the insulator layer between control gates can be provided by protecting an isolation region.
[0076]The manufacturing method of the nonvolatile semiconductor memory which can improve a throughput can be provided by protecting isolation, without using a lithography process.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The circuit diagram of the NOR type flash EEPROM concerning a 1st embodiment of this invention.

[Drawing 2]The partial top view of the NOR type flash EEPROM concerning a 1st embodiment of this invention.

[Drawing 3]It is the sectional view where it was a partial sectional view of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 4]It is the sectional view where it was a sectional view of the 1st manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 5]It is the sectional view where it was a sectional view of the 2nd manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 6]It is the sectional view where it was a sectional view of the 3rd manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 7]It is the sectional view where it was a sectional view of the 4th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 8]It is the sectional view where it was a sectional view of the 5th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 9]It is the sectional view where it was a sectional view of the 6th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 10]It is the sectional view where it was a sectional view of the 7th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 11]It is the sectional view where it was a sectional view of the 8th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 12]It is the sectional view where it was a sectional view of the 9th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 13]It is the sectional view where it was a sectional view of the 10th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 14]It is the sectional view where it was a sectional view of the 11th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 15]It is the sectional view where it was a sectional view of the 12th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 16]It is the sectional view where it was a sectional view of the 13th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 17]It is the sectional view where it was a sectional view of the 14th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 18]It is the sectional view where it was a sectional view of the 15th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 19]It is the sectional view where it was a sectional view of the 16th manufacturing process of the NOR type flash EEPROM concerning a 1st embodiment of this invention, and the (a) figure met the A-A' line and the (b) figure was along a B-B' line direction in drawing 2.

[Drawing 20]The sectional view of the 1st manufacturing process of the NOR type flash EEPROM concerning a 2nd embodiment of this invention.

[Drawing 21]The sectional view of the 2nd manufacturing process of the NOR type flash EEPROM concerning a 2nd embodiment of this invention.

[Drawing 22]The sectional view of the 1st manufacturing process of the NOR type flash EEPROM concerning a 3rd embodiment of this invention.

[Drawing 23]The sectional view of the 2nd manufacturing process of the NOR type flash EEPROM concerning a 3rd embodiment of this invention.

[Drawing 24]The sectional view of the 3rd manufacturing process of the NOR type flash EEPROM concerning a 3rd embodiment of this invention.

[Drawing 25]The sectional view of the 4th manufacturing process of the NOR type flash EEPROM concerning a 3rd embodiment of this invention.

[Drawing 26]The sectional view of the 5th manufacturing process of the NOR type flash EEPROM concerning a 3rd embodiment of this invention.

[Drawing 27]The sectional view of the 6th manufacturing process of the NOR type flash EEPROM concerning a 3rd embodiment of this invention.

[Drawing 28]The sectional view of the conventional NOR type flash EEPROM.

[Drawing 29]It is for explaining the conventional problem and is a sectional view of a NOR type flash EEPROM.

[Drawing 30]The sectional view of the NOR type flash EEPROM which provided the fluoric acid-proof nature insulator layer on the conventional isolation region.

[Drawing 31]The sectional view of the NOR type flash EEPROM which is for explaining the conventional problem and provided the fluoric acid-proof nature insulator layer on the isolation region.

[Description of Notations]

10 -- Memory cell array

11 -- Row decoder

12 -- Column selector

13 -- Transistor

14 -- Column decoder

15 -- Read-out / write-in node

16 -- Source decoder

17, 27 -- Field

20, 100 -- Silicon substrate

21, 110 -- Isolation region

22, 120 -- Active region

23, 160 -- Control gate

24, 140 -- Floating gate

25 -- Contact hole

26 -- Bit line

28, 190 -- Fluoric acid-proof nature insulator layer

29, 130 -- Gate dielectric film

30, 31 -- Polycrystalline silicon film

32, 150 -- A floating gate and insulator layer between control gates

33 -- Impurity diffused layer

34, 40 -- Silicon nitride film

35 -- Interlayer insulation film

36, 42, 43, 44, 45 -- Silicon oxide

37 -- Titanium film

38 -- Tungsten film

39 -- Contact plug

41 -- Trench

170, 180 -- Floating-gate corner